



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11175712

(43)Date of publication of application: 02.07.1999

(51)Int.Cl.

G06T 5/00

H04N 1/403

(21)Application number: 09343061

(71)Applicant: ASAHI KASEI MICRO SYST CO LTD

(22)Date of filing: 12.12.1997

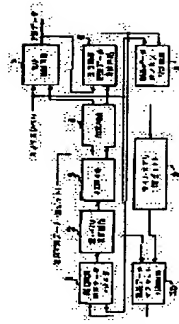
(72)Inventor: MOTOSAWA YASUHIRO
NAGAMINE TATSUYA

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the number of bits of a line memory used to binarize multi-valued image data by an error diffusing method.

SOLUTION: An error data offset adding circuit 8 subtracts K meeting specific conditions (i.e., $-2N-1$ to $K-2N-1$, where N is the number of bits of the multi-valued image data) from error data from an interest pixel error data calculating circuit 6 and supplies the result to the line memory 9 and then the number of bits of the line memory 9 may be equal to that of interest image data. Then an error data offset adding circuit 10 adds K to the error data from the line memory 9 and then the original data, i.e., the same data with the error data from the interest pixel error data calculating circuit 6 are inputted to a peripheral pixel error data register 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

誤差データは符号も含めてNビットであるが、スライズレベルを階層化の中心以外の2値化データに於いて前記第2加算回路からの加算結果から注目画素の誤差データを2加算回路からの加算結果から注目画素の誤差データを減算する第2減算回路とを有することを特徴とする。

[0013] さらに請求項3の発明は、請求項1において、前記オフセットは、前記スライズレベルを $2^{N-1} + K$ とするとき、

[0014]

[数4] $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$

10 (ただし、

N: 前記多値画素データのビット数

K: 前記オフセット)

であることを特徴とする。

[0015] さらに請求項4の発明は、請求項1において、前記記憶手段は、前記多値画素データのビット数と同ビット数のラインメモリであることを特徴とする。

[0016]

【発明の実施の形態】 図3は本発明の実施形態にかかる誤差並置処理回路を示す。図3中、図2と同一符号の構成要素は、図2のそれと同じであり、詳細説明は省略する。8は誤差データオフセット付加回路であって、スライズレベルに基づいて注目画素誤差データ算出回路6からの注目画素の誤差データに後述のようなオフセットを付加する。誤差データオフセット付加回路8からの誤差データは、注目画素データのビット数(N)と同じビット数のラインメモリ9に入力される。10は誤差データオフセット付加回路であって、スライズレベルに基づいてラインメモリ9からの誤差データに後述のようなオフセットを付加して周辺画素誤差データレジスタ11に入力する。

[0017] ここで、注目画素誤差データ算出回路6に於ける2値化誤差を、スライズレベルが $2^{N-1} + K$ (ただし、 $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$) の場合について、具体的に示すと、(データ \geq スライズレベル) のときは、

[0018]

[数5] $2^{N-1} + K \leq P \leq 2^N - 1$

なので、

[0019]

[数6] $(2^{N-1} + K) - (2^N - 1) \leq P - (2^N - 1) \leq (2^N - 1) - (2^{N-1} + K)$

すなわち、

[0020]

[数7]

【発明の効果】 以上説明したように、本発明によれば、多値画素データを誤差並置法により2値化する際に用いるメモリのビット数を減らすことができ、画像処理回路のサイズを従来より小さくすることができ。

【図面の簡単な説明】

【図1】 誤差並置ウィンドウの一例を示す図である。

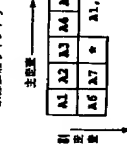
【図2】 従来の誤差並置処理回路のブロック図である。

【図3】 本発明の実施形態の誤差並置処理回路のブロック図である。

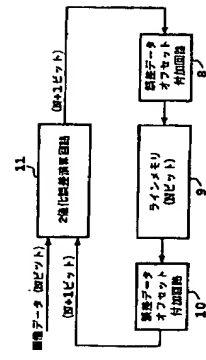
【図4】 本発明の特徴を示す図である。

【図1】

誤差並置ウィンドウ



【図4】



となる。このことから、スライズレベルと 2^{N-1} との差Kが0のときは $ERR^* =$ 符号ビットも含めてNビットで表せるのでNビットのラインメモリが使用できるが、Kが0以外のときは $ERR^* =$ 符号ビットも含めて(N+1)ビットとなり、(N+1)ビットのラインメモリが必要となる。ここで、スライズレベルが $2^{N-1} + K$ となり、(データ $<$ スライズレベル) のときは、

[0024]

となり、

[0025]

[数12] $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$

という条件より、ラインメモリに格納するデータは、Nビットで済むことになる。このような条件を満たすK(すなわち、 $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$) を誤差データオフセット付加回路8において注目画素誤差データ算出回路6からの誤差データから減算してラインメモリ9に供給することによって、ラインメモリ9のビット数は、注目画素データのビット数と等しくなることになり、またラインメモリ9からの誤差データに誤差データオフセット付加回路10において前記Kを加算することによって、元のデータ、すなわち、注目画素誤差データ算出回路6からの誤差データと同じデータが周辺画素誤差データレジスタ11に入力される。このようにラインメモリ9への誤差データの書き込みの際に、及びラインメモリ9からの誤差データ読み出しの際に、簡単な処理回路(誤差データオフセット付加回路8、10)を付

加するだけで、ラインメモリのビット数を減らすことができる。

[0026] 図4は本発明の特徴を示す図であって、2値化誤差算出回路11は、図3における周辺画素誤差データレジスタ1、重み付け算出回路2、加算回路3、4、注目画素誤差データ算出回路6を含むものである。

[0027]

【発明の効果】 以上説明したように、本発明によれば、多値画素データを誤差並置法により2値化する際に用いるメモリのビット数を減らすことができ、画像処理回路のサイズを従来より小さくすることができ。

【図面の簡単な説明】

【図1】 誤差並置ウィンドウの一例を示す図である。

【図2】 従来の誤差並置処理回路のブロック図である。

【図3】 本発明の実施形態の誤差並置処理回路のブロック図である。

【図4】 本発明の特徴を示す図である。

となり、(データ \geq スライズレベル) のときは、

[0021]

[数8] $0 \leq P - K < 2^{N-1} + K$

※

$0 \leq ERR^* < 2^{N-1} + K$

※

$0 \leq ERR^* < 2^{N-1} + K$

